

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—66597

⑪ Int. Cl.<sup>3</sup>  
G 11 C 29/00  
G 06 F 11/10

識別記号

庁内整理番号  
6974—5B  
7368—5B

⑬ 公開 昭和57年(1982)4月22日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 誤り訂正回路

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭55—140807

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭55(1980)10月8日

川崎市中原区上小田中1015番地

⑱ 発 明 者 増田博樹

⑲ 代 理 人 弁理士 玉蟲久五郎 外 3 名

明 細 書

1. 発明の名称 誤り訂正回路

2. 特許請求の範囲

データのビットパターンをアドレスとして訂正符号を格納している訂正符号発生用メモリを有し、該メモリからデータに対応した訂正符号を脱出し、該データに付加して記憶装置に記憶する記憶システムにおいて、前記記憶装置から脱出されたデータをアドレスとして前記訂正符号発生用メモリから再度脱出された訂正符号と前記記憶装置から脱出された訂正符号との排他的論理和をとる第1の排他的論理和回路と、該第1の排他的論理和回路の出力パターン情報をもとにアドレスとして脱出されたデータと等しいビット長を有するデータ訂正情報出力するデータ訂正用メモリと、該データ訂正情報と前記記憶装置から脱出されたデータとの排他的論理和をとる第2の排他的論理和回路とを具え、記憶装置から脱出されたデータの誤り訂正を行なうことを特徴とする誤り訂正回路。

3. 発明の詳細な説明

本発明は、記憶装置からデータを脱出する際に、データの誤り訂正を行なうことができる、誤り訂正回路に関するものである。

中央処理装置において、メモリにデータを格納して脱出する場合、メモリの信頼度が悪いと1ビット障害等の誤りが発生する。このような誤りを防止する方法として、データにハミング符号 (Hamming Code) 等の誤り訂正符号を付加してメモリに格納し、メモリからデータを脱出する際、脱出されたデータに基づいて再度誤り訂正符号を発生させ、新たに発生した誤り訂正符号と既に格納されている誤り訂正符号との照合を行なうことによってデータの誤り訂正を行なう方法が用いられている。

第1図は従来の誤り訂正回路の構成を示すブロック図である。同図において、DR はデータレジスタ、G<sub>1</sub>、G<sub>2</sub> はゲート、ECCGM は訂正符号発生用メモリ、AR はアドレスレジスタ、MM はメインメモリ、ECCC はデータ訂正回路である。

第1図において、データレジスタ DR に蓄積され

た $n$ ビットのデータは、ライト信号 $W$ によってゲート $G_1$ を経て出力されて、アドレスレジスタ $AR$ によって指示されるアドレスに従って、メインメモリ $MM$ に格納される。この際、訂正符号発生用メモリ $ECCGM$ は、ゲート $G_1$ を経て出力されるデータをアドレス情報として読出されて、 $m$ ビットの訂正符号を発生する。この訂正符号はアドレスレジスタ $AR$ によって指示されるアドレスに従って、メインメモリ $MM$ に格納される。

メインメモリ $MM$ からデータを読出す際、データとこれに対応して格納されている訂正符号とを同時に読出して、訂正回路 $ECCC$ に inputs する。訂正回路 $ECCC$ においては入力されたデータにおける誤りの有無を検査し、誤りがあればこれを自動的に訂正する。このようにして訂正されたデータは、リード信号 $R$ によってゲート $G_2$ を経てデータレジスタ $DR$ に格納される。

第1図に示されたデータ訂正回路 $ECCC$ は、従来ゲート回路を主体として構成され、極めて複雑な構成を有し、その回路規模はかなり膨大であった。

本発明はこのような従来技術の欠点を除去しよ

(3)

第2の排他的論理和回路とを具備、記憶装置から読出されたデータの誤り訂正を行なうことを特徴としている。

以下、実施例について説明する。

第2図は本発明の誤り訂正回路の一実施例の構成を示すブロック図である。同図において第1図における同一部分は同一番号によって示されており、 $G_2$ ,  $G_3$ はゲート、 $EOR_1$ ,  $EOR_2$ はそれぞれ排他的論理和回路、 $ECCGM$ はデータ訂正用メモリである。

第2図において、メインメモリ $MM$ にデータの格納を行なう場合は、第1図の場合と同様に行なわれる。すなわちデータレジスタ $DR$ に格納された $n$ ビットのデータが、ライト信号 $W$ によってゲート $G_1$ を経て出力されて、アドレスレジスタ $AR$ によって指示されるアドレスに従ってメインメモリ $MM$ に格納される。これと同時にゲート $G_2$ を経て入力されたデータをアドレスとして、訂正符号発生用メモリ $ECCGM$ から $m$ ビットの訂正符号が読出され、アドレスレジスタ $AR$ によって指示されるア

(5)

うとするものであって、その目的は、ゲート回路によって構成されたデータ訂正回路を必要とせず、メモリを用いたデータ訂正用メモリによって誤り訂正を行なうことによって、回路規模を減少することができ、IC化にも適した誤り訂正回路を提供することにある。この目的を達成するため、本発明の誤り訂正回路においては、データのビットパターンをアドレスとして訂正符号を格納している訂正符号発生用メモリを有し該メモリからデータに対応した訂正符号を読出して該データに付加して記憶装置に記憶する記憶システムにおいて、前記記憶装置から読出されたデータをアドレスとして前記訂正符号発生用メモリから再度読出された訂正符号と前記記憶装置から読出された訂正符号との排他的論理和をとる第1の排他的論理和回路と、該第1の排他的論理和回路の出力パターン情報をアドレスとして読出されてデータと等しいビット長を有するデータ訂正情報を出力するデータ訂正用メモリと、該データ訂正情報と前記記憶装置から読出されたデータとの排他的論理和をとる

(4)

ドレスに従って、メインメモリ $MM$ に格納される。

メインメモリ $MM$ からデータを読出する場合は、メインメモリ $MM$ から読出したデータを、リード信号 $R$ によってゲート $G_2$ を経てアドレス情報として訂正符号発生用メモリ $ECCGM$ に inputs することによって、再度、訂正符号を発生する。

訂正符号発生用メモリ $ECCGM$ から発生した訂正符号は、メインメモリ $MM$ から読出された訂正符号とともに排他的論理和回路 $EOR_1$ に加えられて、排他的論理和がとられる。もしもメインメモリ $MM$ から読出されたデータに誤りがなければ、排他的論理和回路 $EOR_1$ における両訂正符号は等しく、従って排他的論理和回路 $EOR_1$ の出力は、訂正符号に対応してオール“0”のパターンとなる。しかしながらメインメモリ $MM$ から読出されたデータに誤りがあると、これによって訂正符号発生用メモリから読出される訂正符号は異なったものとなり、従って排他的論理和回路 $EOR_1$ の出力としては、そのエラービットポジションに対応して“1”を含むパターンが発生する。

(6)

排他的論理和回路  $EOR_1$  のパターン情報は、データ訂正用メモリ  $ECCCM$  に加えられる。これによってデータ訂正用メモリ  $ECCCM$  から、排他的論理和回路  $EOR_1$  のパターン情報をアドレスとして、ビット長がデータ長に等しく、エラービットポジションに対応するビットだけが“1”であって、その他のビットが“0”からなるデータ訂正用パターンが読出される。

データ訂正用メモリ  $ECCCM$  から読出された訂正用パターンは、メインメモリ  $MM$  から読出されたデータとともに排他的論理和回路  $EOR_2$  に加えられる。これによってメインメモリ  $MM$  から読出されたデータにおいて、エラービットポジションに対応するビットが反転したデータが、排他的論理和回路  $EOR_2$  の出力として得られる。排他的論理和回路  $EOR_2$  の出力データは、リード信号  $R$  によってゲート  $G_2$  を経てデータレジスタ  $DR$  に格納される。

このようにして第2図に示された誤り訂正回路によって、メインメモリ  $MM$  に格納されて読出されたデータの誤り訂正を行なうことができる。なお

(7)

メインメモリ  $MM$  から読出されたデータに誤りがないときは、データ訂正用メモリ  $ECCCM$  から読出されるデータ訂正用パターンはオール“0”であり、従って、メインメモリ  $MM$  から読出されたデータは、排他的論理和回路  $EOR_2$  において、ビットの訂正が行なわれることはない。

以上説明したように本発明の誤り訂正回路によれば、データ訂正用メモリを用いることによってメモリから読出されたデータの誤り訂正を行なうことができる。従来の誤り訂正回路はゲート回路を主体として構成され、回路規模が大きくなることを免れなかったが、本発明の誤り訂正回路は少ないハードウェアで簡単に構成できてIC化にも適し、かつ信頼性の高い回路を得ることが可能である。また本発明の誤り訂正回路によった場合、メモリ技術の進歩により従来の誤り訂正回路のようにゲート回路構成とするよりも、大幅な遅延時間の短縮が期待できる。また本発明の誤り訂正回路によれば、誤りの内容が単一かまたは二重ビット障害かの検出表示も、データ訂正用メモリ内にエラー

(8)

表示用ビットを追加することによって可能となる。

#### 4. 図面の簡単な説明

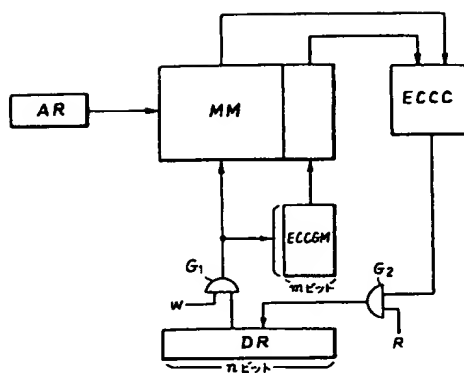
第1図は従来の誤り訂正回路の構成を示すブロック図、第2図は本発明の誤り訂正回路の一実施例の構成を示すブロック図である。

$DR$  … データレジスタ、 $G_1, G_2, G_3, G_4$  … ゲート、 $ECCGM$  … 訂正符号発生用メモリ、 $AR$  … アドレスレジスタ、 $MM$  … メインメモリ、 $ECCC$  … データ訂正回路、 $EOR_1, EOR_2$  … 排他的論理和回路、 $ECCCM$  … データ訂正用メモリ。

特許出願人 富士通株式会社  
代理人 弁理士 玉 島 久 五 郎 (外3名)

(9)

第 1 図



第 2 図

